

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321733
 (43)Date of publication of application : 04.12.1998

J1017 U.S. PTO
 10/092729
 03/08/02

(51)Int.Cl. H01L 21/8238
 H01L 27/092
 H01L 29/78

(21)Application number : 10-150606 (71)Applicant : SIEMENS AG
 (22)Date of filing : 13.05.1998 (72)Inventor : FISCHER HERMANN
 HOFFMANN FRANZ

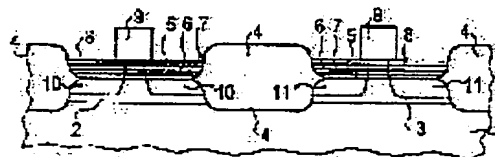
(30)Priority
 Priority number : 97 19720008 Priority date : 13.05.1997 Priority country : DE

(54) INTEGRATED CMOS CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the required area and manufacture with reduced expenses for a process.

SOLUTION: A first silicon layer 5, a Si1-xGex layer 6 and a second silicon layer 7 are grown by selective epitaxy on a semiconductor substrate, in which p-channel MOS transistors and n-channel MOS transistors are formed. An embedded channel is formed in the Si1-xGex layer 6 in the p-channel MOS transistors in a conductive state, and a surface channel is formed in the second silicon layer 7 in the n-channel MOS transistors.



LEGAL STATUS

[Date of request for examination] 08.06.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321733

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁸

識別記号

FI

H01L 21/8238

H01L 27/08

321C

27/092

29/78

301B

29/78

301H

審査請求 未請求 請求項の数7 FD (全5頁)

(21) 出願番号 特願平10-150606

(22) 出願日 平成10年(1998)5月13日

(31) 優先権主張番号 19720008.7

(32) 優先日 1997年5月13日

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESSEL
LSCHAFTドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2

(72) 発明者 ヘルマン フィッシャー

ドイツ連邦共和国 80807 ミュンヘン
フラウエンシュテットシュトラッセ 11

(72) 発明者 フランツ ホフマン

ドイツ連邦共和国 80995 ミュンヘン
ヘルベルクシュトラッセ 25パー

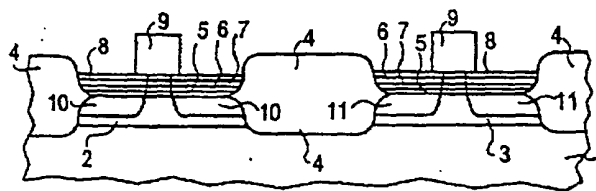
(74) 代理人 弁理士 山口 巖 (外1名)

(54) 【発明の名称】 集積CMOS回路装置及びその製造方法

(57) 【要約】

【課題】 所要面積を低減し、プロセスの出費を削減して製造することのできる集積CMOS回路装置及びその製造方法を提供する。

【解決手段】 pチャネルMOSトランジスタ及びnチャネルMOSトランジスタが形成されている半導体基板に第1のシリコン層5、 $\text{Si}_{1-x}\text{Ge}_x$ 層6及び第2のシリコン層7を選択エピタキシーにより成長させる。導電状態でpチャネルMOSトランジスタには $\text{Si}_{1-x}\text{Ge}_x$ 層内に埋め込みチャネルを形成し、nチャネルMOSトランジスタ内には第2のシリコン層7内に表面チャネルを形成する。



(2)

【特許請求の範囲】

【請求項1】 少なくとも第1のシリコン層(5)、 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)及び第2のシリコン層(7)を有する半導体基板(1)が備えられ、 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)が第1のシリコン層(5)及び第2のシリコン層(7)とほぼ同じ格子定数を有し、半導体基板(1)内にpチャネルMOSトランジスタ及びnチャネルMOSトランジスタが形成されていることを特徴とする集積CMOS回路装置。

【請求項2】 第1のシリコン層(5)が30nm～70nmの厚さを有し、 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)が5nm～10nmの厚さ及び50原子%～25原子%のゲルマニウム含有量を有し、第2のシリコン層(7)が5nm～12nmの厚さを有することを特徴とする1記載の集積CMOS回路装置。

【請求項3】 少なくともその主面にシリコンを含んでいる半導体基板(1)の主面にエピタキシャルに第1のシリコン層(5)、 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)及び第2のシリコン層(7)を成長させ、半導体基板(1)内にpチャネルMOSトランジスタ及びnチャネルMOSトランジスタを形成することを特徴とする集積CMOS回路装置の製造方法。

【請求項4】 nチャネルMOSトランジスタ用の能動領域とpチャネルMOSトランジスタ用の能動領域を画成する絶縁パターン(4)を形成し、第1のシリコン層(5)、 $\text{Si}_{1-x}\text{Ge}_x$ 層(6)及び第2のシリコン層(7)を成長させた後選択エピタキシーによりnチャネルMOSトランジスタ及びpチャネルMOSトランジスタ用にそれぞれゲート誘電体(8)、ゲート電極(9)及びソース/ドレイン領域(10、11)を形成することを特徴とする請求項3記載の方法。

【請求項5】 30nm～70nmの厚さを有する第1のシリコン層(5)を形成し、5nm～10nmの厚さを有する第2のシリコン層(7)を形成し、5nm～10nmの厚さ及び50原子%～25原子%のゲルマニウム含有量の $\text{Si}_{1-x}\text{Ge}_x$ 層(6)を形成することを特徴とする請求項3記載の方法。

【請求項6】 第1のシリコン層(5)のエピタキシャル成長の際にドーパントの添加によりnチャネルMOSトランジスタ及び/又はpチャネルMOSトランジスタのしきい電圧を調整することを特徴とする請求項3乃至5の1つに記載の方法。

【請求項7】 エピタキシーを SiH_2Cl_2 及び/又は GeH_4 を含むプロセスガスの使用下に550～850℃の温度範囲で行うことを特徴とする請求項3乃至6の1つに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は集積CMOS回路装置及びその製造方法に関する。

【0002】

【従来の技術】 類似の小型化の原理に基づきMOS技術においてパターンを小型化する場合ミクロン範囲ではMOSトランジスタ及びCMOS回路の特性はほぼそのまま変わらない。しかし例えば約200nm以下のチャネル長を有するMOSトランジスタの場合短チャネル効果及びバンチ・スルー効果が起こる。

【0003】 これらの効果は部分的に基板のドーピングを高めることにより補正することができるが、しかしこのような基板の高いドーピングはとりわけチャネル内におけるキャリアの移動度を劣化させることになる。チャネル内のキャリアの移動度の劣化はpチャネルMOSトランジスタに顕著に認められる。

【0004】 CMOS回路装置、特にインバータ、NAND-及びNORゲート、シフトレジスタ、メモリ、論理-及びアナログ回路ではnチャネルMOSトランジスタもpチャネルMOSトランジスタも使用されるが、それらは総体として同等の単位電圧に加えて同じ相互コンダクタンス、同じ飽和電流を有していなければならない。他は同様に組立てられているnチャネルMOSトランジスタ及びpチャネルMOSトランジスタに、pチャネルMOSトランジスタのチャネルがnチャネルMOSトランジスタのチャネルよりも長さに対する幅の割合が二倍になるようにして同じ相互コンダクタンス及び同じ飽和電流を得ることが提案されている(例えばホフマン(K. Hoffmann)による「VLSI設計モデル及び回路(VLSI Entwurf Modelle und Schaltungen)」第3版、1996年、第333～339頁参照)。それによりnチャネルMOSトランジスタにおける電子の移動度に比べてpチャネルMOSトランジスタ内の正孔の移動度が2分の1に減少されることが補償される。しかしこの措置によりpチャネルMOSトランジスタの所要面積及び寄生容量が高められる。

【0005】 サデク(A. Sadek)その他による「固体エレクトロニクス(Solid-State Electronics)」第38巻、第9号(1995)、第1731～1734頁及びイスマエル(K. Ismael)による「材料科学及びテクノロジーに関するインターナショナル・スクールにおける講義(Lecture at the international school of materials science and technology)」エリス、イタリアー国、1995年7月13～24日、第19～20頁には、pチャネルMOSトランジスタのチャネル内の正孔移動度を高めるためにチャネルの範囲に $\text{Si}_{1-x}\text{Ge}_x$ から成る層を備えることが提案されている。この層は単結晶シリコンの格子定数を有するようにして設けられる。この層内の格子はxy面に合わされている。従って圧縮応力はSiGe層内のx及びy方向にあり、一方成

(3)

長方向に相当する z 方向には引っ張り応力が存在する。このような弾性的に張られたヘテロ構造は擬定形層といわれる。その際CMOS回路装置の製造には $\text{Si}_{1-x}\text{Ge}_x$ 層を含むチャネルを有するpチャネルMOSトランジスタと単結晶シリコンから成るチャネルを有するnチャネルMOSトランジスタが形成される。その場合pチャネルMOSトランジスタとnチャネルMOSトランジスタの製造に2つの分離されたプロセスが必要になる。

【0006】

【発明が解決しようとする課題】本発明の課題は、所要面積を低減し、プロセスの出費を削減して製造することのできる集積CMOS回路装置を提供することにある。更にこの種の回路装置を製造する方法を提供することにある。

【0007】

【発明が解決しようとする課題】この課題は本発明の請求項1に記載の集積CMOS回路装置並びに請求項3に記載の製造方法に記載されている。本発明の他の実施態様は従属請求項に記載されている。

【0008】本発明による集積CMOS回路装置は少なくとも第1のシリコン層、 $\text{Si}_{1-x}\text{Ge}_x$ 層及び第2のシリコン層を有する半導体基板内に形成されている。半導体基板内には少なくとも1つのpチャネルMOSトランジスタと少なくとも1つのnチャネルMOSトランジスタが形成されている。本発明は、pチャネルMOSトランジスタには適当な制御のもとに埋込まれた導電性チャネル（いわゆる埋め込みチャネル）が形成され、それに対してnチャネルMOSトランジスタには基板の表面に沿って、即ちゲート誘電体との界面に導電性チャネル（いわゆる表面チャネル）が形成されるという認識を利用する。従ってこのCMOS回路装置にはpチャネルMOSトランジスタの範囲ではチャネルが $\text{Si}_{1-x}\text{Ge}_x$ 層内に形成され、一方nチャネルMOSトランジスタの範囲では導電性チャネルが第2のシリコン層の範囲に形成される。それによりpチャネルMOSトランジスタの範囲のキャリアの移動度は $\text{Si}_{1-x}\text{Ge}_x$ 層により、またnチャネルMOSトランジスタの範囲のキャリアの移動度は第2のシリコン層により定められる。

【0009】pチャネルMOSトランジスタには $\text{Si}_{1-x}\text{Ge}_x$ 層内のより高い正孔移動度が利用される。 $\text{Si}_{1-x}\text{Ge}_x$ 層内では $\text{Si}_{1-x}\text{Ge}_x$ 層が成長する z 方向に引っ張り応力が生じる。この z 方向の引っ張り応力は重い正孔のバンドをエネルギーギャップに持ち上げ、この応力方向に対して垂直な平面のT点、即ちキャリアの移送方向のその分散度を、このバンド曲率が軽い正孔のバンドに類似し、従って正孔の質量が減少されるように変化させる。このようにしてpチャネルMOSトランジスタ及びnチャネルMOSトランジスタの所要面積は等しくなり、同時に同じ相互コンダクタンス及び同じ飽和電流が保証される。従ってpチャネルMOSトランジスタ及びnチャネルMOSトランジスタは1つの連続したプロセスで形成可能となる。 $\text{Si}_{1-x}\text{Ge}_x$ 層はnチャネルMOSトランジスタのチャネル領域の下方に延び、nチャネルMOSトランジスタの機能を妨げない。

【0010】 $\text{Si}_{1-x}\text{Ge}_x$ 層のゲルマニウム含有量は25～50%、即ち $x=0.25\sim0.50$ であると有利である。 $\text{Si}_{1-x}\text{Ge}_x$ 層の厚さは5nm～10nmであると有利である。文献ではしばしばバッファ層と称され $\text{Si}_{1-x}\text{Ge}_x$ 層の下方に配置されている第1のシリコン層の厚さは30nm～70nmであると有利である。また文献ではしばしばキャップ層と称される第2のシリコン層の厚さは5nm～12nmであると有利である。

【0011】第1のシリコン層、 $\text{Si}_{1-x}\text{Ge}_x$ 層及び第2のシリコン層はエピタキシー成長により少なくともその主面の範囲にシリコンを有する半導体基板の主面に形成される。半導体基板としては単結晶シリコンウェハもSOI基板又は主面の範囲にSiCを有する基板も適している。

【0012】有利にはこの主面にまずnチャネルMOSトランジスタ及びpチャネルMOSトランジスタ用の能動領域を画成する絶縁パターンを形成する。その後第1のシリコン層、 $\text{Si}_{1-x}\text{Ge}_x$ 層及び第2のシリコン層を選択エピタキシーにより成長させる。それにより張られた $\text{Si}_{1-x}\text{Ge}_x$ 層は能動領域内に欠陥なく成長することが保証される。

【0013】
【実施例】本発明を図示の実施例に基づき以下に詳述する。

【0014】例えば5Ωcmの抵抗率に相応する基本ドーピングを有するpドーパされた単結晶シリコンから成る基板1内に180keVのエネルギー及び $4\times 10^{13}\text{cm}^{-2}$ の線量での砒素のマスクング注入によりnドーパされたウェル2を形成する（図1参照）。

【0015】引続きホウ素のマスクング注入によりpドーパされたウェル3を形成する。ホウ素の注入は50～70keVのエネルギーで $1\sim 2\cdot 10^{13}\text{cm}^{-2}$ の線量で行われる。

【0016】引続き例えばLOCOSプロセスで絶縁パターン4を形成する。このパターン4はnドーパされたウェル2の範囲にpチャネルMOSトランジスタ用の能動領域を、またpドーパされたウェル3の範囲にnチャネルMOSトランジスタ用の能動領域を画成する。或いは絶縁パターン4はシャロー・トレンチ絶縁プロセスでトレンチを絶縁材料で充填することによって形成してもよい。絶縁パターン4はnドーパされたウェル2及びpドーパされたウェル3の下方の基板1にまで達する。

【0017】引続き SiH_2Cl_2 を含むプロセスガスを使用して選択エピタキシーにより第1のシリコン層5を成長させる。しばしばバッファ層といわれるこの第1

(4)

のシリコン層5を30～70nmの層厚に成長させる。後に形成すべきnチャネルMOSトランジスタ及びpチャネルMOSトランジスタのしきい電圧を調整するために第1のシリコン層5がpドーピングされる。そのため15～25nmの層厚に達するまでプロセスガスにボラン(B_2H_6)を添加する。次いでこの第1のシリコン層5をボランをドーピングすることなく更に10～50nmに成長させる。第1のシリコン層5を成長させる際のプロセス温度は750～850℃である。

【0018】引続き $Si_{1-x}Ge_x$ 層6を GeH_4 を含むプロセスガスを使用して選択エピタキシーにより550～700℃のプロセス温度で成長させる。 $Si_{1-x}Ge_x$ 層6を $x=0.25$ のゲルマニウム含有量で例えば10nmの層厚に形成する。或いは $Si_{1-x}Ge_x$ 層6を $x=0.5$ のゲルマニウム含有量で5nmの層厚に形成してもよい。

【0019】次いでしばしばキャップ層といわれる第2のシリコン層7を SiH_2Cl_2 を含むプロセスガスを使用して選択エピタキシーによりドーピングせずに5～12nmの層厚に成長させる。その際のプロセス温度は550～700℃である。

【0020】次いで750℃及び120分での熱酸化により SiO_2 から成るゲート誘電体8を形成する。このゲート誘電体8は例えば4.5nmの層厚で形成される(図2参照)。この酸化の際に第2のシリコン層7から約2nmのシリコンが消費される。従って第2のシリコン層7の使用はシリコンの酸化によりゲート誘電体8の形成を可能にする。このようにして形成された酸化シリコンはその良好な安定性の故に $SiGe$ からの酸化物よりも優れている。

【0021】 n^+ ドーピングされたポリシリコン層の析出及びパターンニングによりpチャネルMOSトランジスタ及びnチャネルMOSトランジスタ用にそれぞれゲート電極9を形成する。その後ホウ素及び/又は BF_3 を20～30keVのエネルギー及び $4 \sim 8 \cdot 10^{15} cm^{-2}$ の線量でのマスクング注入によりpチャネルMOSトランジスタ用にpドーピングされたソース/ドレイン領域10を形成する。更に砒素を100～130keVのエネルギー及び $4 \sim 8 \cdot 10^{15} cm^{-2}$ の線量でのマスクング注入でnチャネルMOSトランジスタ用にnドーピングされたソ

ース/ドレイン領域11を形成する。

【0022】このプロセス経過中の温度負荷により第1のシリコン層5内のホウ素ドーピングが進行し、その表面範囲のドーピングに寄与する。このようにしてnチャネルMOSトランジスタのために十分高いドーピングが

その表面範囲に達成される。

【0023】トランジスタの特性を最適化するためにpドーピングされたソース/ドレイン領域10及びnドーピングされたソース/ドレイン領域11にそれぞれ公知の方法での二段階注入でLDD及びHDDプロファイルが備えられる。

【0024】このCMOS回路装置はパッシベーション層の析出、接触孔の開孔及び金属化部の形成により公知のようにして完成される(詳細には記載しない)。

【0025】nドーピングされたウェル2及びpドーピングされたウェル3はそれぞれ $1.5 \times 10^{18} cm^{-3}$ の最大ドーパント濃度で形成される。この高いドーパント濃度によりパンチ・スルー効果は回避される。この高いドーピング濃度は、nドーピングされたウェル2及びpドーピングされたウェル3の形成がエピタキシーの前に行われ、従って高ドーピングがゲート誘電体8の界面にまで達しないので、この回路装置に許容し得るものである。

【0026】上記のCMOS回路装置ではnドーピングされたウェル2内に配置されているpチャネルMOSトランジスタ内には適切な制御信号の印加で $Si_{1-x}Ge_x$ 層6内に埋込まれた導電性チャネルが形成される。それに対してpドーピングされたウェル3内に配置されているnチャネルMOSトランジスタ内には適切な制御のもとで第2のシリコン層7の表面に導電性チャネルが形成される。

【図面の簡単な説明】

【図1】本発明によるCMOS回路装置の第1のシリコン層、 $Si_{1-x}Ge_x$ 層及び第2のシリコン層をエピタキシャル成長させた後のpチャネルMOSトランジスタ用能動領域及びnチャネルMOSトランジスタ用能動領域を画成する絶縁パターンを有する半導体基板の断面図。

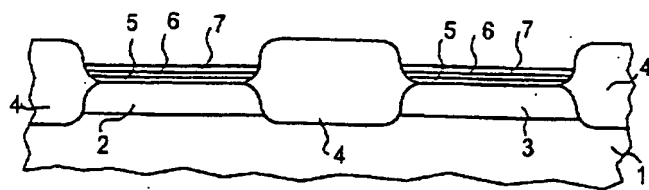
【図2】ゲート誘電体、ゲート電極及びソース/ドレイン領域を形成後の半導体基板の断面図。

【符号の説明】

- 1 半導体基板
- 2 nドーピングされたウェル
- 3 pドーピングされたウェル
- 4 絶縁パターン
- 5 第1のシリコン層
- 6 $Si_{1-x}Ge_x$ 層
- 7 第2のシリコン層
- 8 ゲート誘電体
- 9 ゲート電極
- 10、11 ソース/ドレイン領域

(5)

【図 1】



【図 2】

